49-91738 FUJH 18.436

Title of the invention: Code conversion method

Claim

Best Available Copy

A code conversion method that is characterized in that it removes the highly redundant bit position bit signal from a code signal of n-bit composition and inserts a parity bit signal into said removed bit position.

Detailed description of the invention

This invention concerns a code conversion method in which an (n+1)-bit code system consisting of n bits + 1 parity bit is treated as an n-bit parity bit code system with parity bit.



特 許 願(

昭和 年 12 月 31 日

杜砂七月春

幸夫

1. 発明の名称

2. 発 明 者

, , , 所

東京都大田区中馬込1丁目3番6号 探式会社 リ コ - 内

氏 名

氏 名

• 1

3. 特許出願人

住 所

東京都大田区中馬込1丁目3番6号

名 称

(674) 株式会社 リ コ ー

代表者

舘 林 三喜男

4. 代 型 人 〒105

(i: 所 東京都港区西新橋2丁目8番15号 宏 和 ビ ル 5 階

氏 名 (6641) 弁理士 星 野 恒 司 電話 03 (591) 2 2 6 6 番 (代表)

剪 抽

発明の名称 符号変換方式 特許請求の範囲

n ビット構成のコード信号から冗長度の高いビット位置のビット信号を除去し、 核除去したビット位置にバリティビット信号を挿入'することを特徴とする符号変換方式。

発明の詳細な説明

本発明は、nビット+1パリティビットからなる(n+1)ビット符号系をnビットのパリティビット付符号系として扱えるようにした符号変換方式に関する。

偶数、奇数混合のnビット構成の符号系において、これをパリティチェックを行なって処理する場合、nビットに更に1ビットのパリティビットを追加して(n+1)ビット構成として扱わなければならず、必然的に、処理装置のメモリ、レジスタ等のビット構成も(n+1)にしなければならない。

19 日本国特許庁

公開特許公報

①特開昭 49-91738

43公開日 昭49.(1974)9 2

②特願昭 48-304

②出願日 昭47.(1972)12.3/

審査請求 未請求

(全3頁)

庁内整理番号

52日本分類

6453 56

970G11 970E21

Best Available Copy

さて、n ビットで構成されるコードは、 2ⁿ 通りの組み合せをどることが可能であるが、この 5 ち 2ⁿ⁻¹ すなわち取り得るコード数の半分程度のみじか使用していない符号系では、n ビット)は 冗長 慶上位 ビット)は 冗長 慶 旅 場合がある。したがって、この種の符号系では前記冗長度の高いビットを除去して取り扱っても、データの性質が損なわれることは少ない。

本発明は、成る種の符号系における上述の性質を利用し、ロビット+1パリティビット符号系に変換し、必要に応じて元の符号系に変換する符号変換方式を提供するもので、その目的はメモリ、レジスタ符のビット容量を出来るだけ軽減することにある。

以下、データ処理装置において広く採用されている EBCDIC 符号系を例にして本発明の内容を詳述することにする。

良く知られているように、 EBCDIC 符号系は偶数、奇数のコードが入り混っている 8 ビット構成の符号系で、との EBCDIC コードのパリティチェ

ックを行なうためには、上記8ピットに更に1ピ ットのパリティビットを追加して合計タビットの ビット構成にしなければならない。第1図に EBCDIC コードの一部を示す。第1図から明らかであるよ うに、 EBCDIC コードの 8 ビット目は非常に冗長 度の高いことが理解される。すなわち、各コード の8ビット目を取り去っても全てのコムドの判別 は可能である。したがって、本発明を EBCDIC 符 号系に適用した場合はこの8ピット目を取り去り、 - 代りに残りの1~7ビットまでの"1"信号の偶数、 奇数を調べて、8ピット目にパリティビットを迫 加する。つまり8ピット構成のパリティピット付 符号系に変換する。以後、データ処理装置では、 このようにして得られた新符号系にもとづいて各 種の処理が行なわれる。そして、処理されたデー タを例えばブリンタ等に出力するときには、8 ピ ット目に元のビット情報を挿入して再び EBCDIC コードに変換する。

EBCDIC 符号系の場合、 8 ビット目の "1" または "0" の指定は 1 ~ 7 ビットの符号構成で決まる

リティチェックが行なわれる。同様に、出力データは出力偶符号変換回路 7 を介して出力装置 8 に与えられる。符号変換回路 7 は、 8 ビット目除去回路 7′ および EBCDIC 8 ビット目借号発生回路 7″ からなり、ここで元の 8 ビット構成の EBCDIC コードが組み立てられることになる。

以上の通り、本発明に係る符号変換方式によれば、データ処理装置における各部のビット容量の軽減に寄与するという効果を有する。 図面の簡単な説明

第 1 図は EBCDIC, 符号系を示す図、第 2 図は EBCDIC コードの 8 ビット目の復号化の説明図、第 3 図は 第 2 図の復号化処理に使用される論理回路の一例、 第 4 図は本発明方式を適用したデータ処理装置の 一例を示すプロック図である。

1 …… 入力装置、 2 …… 入力侧符号変换回路、

3 …… 制御部、 4 …… メモリ、

5 …… 演算部、 7 …… 出力倒符号变换回路、

8 …… 出力装置。

特別 昭49-91738(2)
ことが多い。第 2 図はこの EBCDIC 符号系の規則
性を示したものである。これは、例えば 1 ~ 6 ピット目までの符号構成に関係なく 7 ピット目が *0 °
であるとき、8 ピット目は *1 ° になり、同様に、
3 . 4。, 7 ピット目が少なくとも *1 ° であるとき、
8 ピット目は *0 ° になることを意味している。第
3 図に上述した第 2 図の規則性にもとづいて元の
8 ピット目のピット情報を復号する論理回路を示

第4図は本発明方式を採用したデータ処理装置の一例を示すブロック図である。図において、入力装置 1 から入力された 8 ピット構成の EBCDICコード信号は入力側符号変換回路 2 に供給される。符号変換回路 2 は 8 ピット目除去回路 2′ およびパリティビット発生回路 2″ からなり、ここで、EBCDICコードは 8 ピット構成のパリティ ピット付コード信号に変換される。その後、 該コード信号に変換される。その後、 該コード信号に変換される。その時、 分野に応じてパリティチェック回路 6 でパ

Best Available Copy

矛 1 図

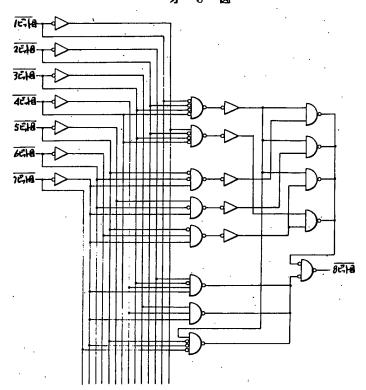
			_				_	_	_	_	
i	233	4_	ΕŢ	16.	Dι	<u>c 2</u>	<u> </u>	Ŀ	·		
ı	7	10	1 () (3 (. (0) ()]	_
ı	ı	1	l () (0) .	. () (
ı	ን	1	L () () () -	1			1	
I	マノウエ	1	Ľ, ()· () (- () 1			
١	1	1	(•	0	٠ -	0	1			
l	17] 1) (0					-	
l	:					:				_	
ı	i.	l						•	•		
l	0	1	. 0	1	1	-	1	1	1	1	
l	•	0	1	0	0	_	1	0			
l	¥	0	1	0		_	1	0		ī	
l						!	-	•	-	•	
l		1				- 1					i
l	A	1	1	0	0		0	0	.0	1	i
	A B	1	1	0	ō	_		_	_	ō	
	4	ı	1	.0				ō		ĭ	1
	2	1	1	0				ī		ō	1
	:					ď	•	-	-	٠	Į
	,i	١.,				:					1
	012	1	1	1	1	•	0	0	0	0	1
	1	1	1	1	1	_		ō		ĭ	ı
	2	1	1	ì	ī				ĭ	ò	١
	ا ب			-	•	:	•	•	•	•	1
						1					١
_	_										1

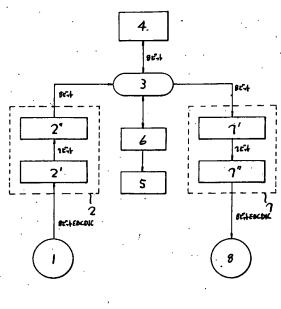
矛 2 図

经累为第	8E-143	7~1 57+16
	1 1	0
	0	1 1 0 1 -
1	0	1 = - 1 1
5.P.	0	1000000
} *	0	1010000
} -	.0	1100000
^	. 0	1100001

特問 昭49--91738(3)







Best Available Copy

5. 添付書類の目録

(1)	明	*	Œ	朝				1	通
(2)	図			面		٠		1	通
(3)	願	暋	副	本				1	通
(4)	25	. 4	£.	朱		•		1	涵

6. 前記以外の発明者

住	所.	東京都大田区	常惠	1 丁月	3番	6号
	*		70	·	, , , ,	*